

Published Serial No. 440700

Title                    **System for controlling registers associated with non-volatile elements of configuration bits in a programmable logic device**

Patent type            B

Date of Grant         2001/6/16

Application Number   088106275

Filing Date           1999/4/20

IPC                    G01R31/28

Inventor              **RAMAMURTHY, SRINIVAS(IN)**  
**FAHEY, JR. JAMES(US)**  
**SAIKI, WILLIAM J.(US)**  
**BERGER, NEAL(US)**  
**GONGWER, GEOFFREY S.+(US)**

Priority                Country   Application Number   Priority Date  
                              US19980063872     1998/04/21

Applicant              Name                                    Country Individual/Company  
                              ATMEL                                    US            Company  
                              CORPORATION

Abstract                A boundary scan test circuit (JTAG) interface is used to provide data for a set of configuration latches within a configuration register. The configuration register is included within the JTAG structure as a test data register (TDR). Each configuration bit within the configuration register consists of a configuration latch, and each configuration latch has an output used as a configuration control signal within an output logic macrocell. The configuration register's input signal is selectably provided from either a set of serially connected configuration bit non-volatile element sense latches or from the JTAG test data in (TDI) data pin for reconfiguration, prototyping, and testing.

# 中華民國專利公報 [19] [12]

[11]公告編號：440700

[44]中華民國 90年 (2001) 06月 16日

發明

全 6 頁

[51] Int.Cl<sup>06</sup>: G01R31/28

[54]名稱：供在一可程式化邏輯裝置中控制與組態位元之非依電性元件關聯之暫存器之系統

[21]申請案號：088106275

[22]申請日期：中華民國 88年 (1999) 04月 20日

[30]優先權：[31]09/063,872

[32]1998/04/21

[33]美國

[72]發明人：

思里尼維厄思·拉瑪穆西

美國

詹姆斯·費伊

法國

威廉·J·塞基

美國

尼爾·伯杰

美國

杰弗里·S·岡沃爾

美國

尤金·J·譚

美國

[71]申請人：

艾特梅爾公司

美國

[74]代理人：賴經臣 先生

1

2

[57]申請專利範圍：

1.一種供在一可程式化邏輯裝置中控制與組態位元之非依電性元件關聯之暫存器之系統，包含：

一邊界掃描測試電路，包括若干外部裝置接腳，外部裝置接腳之一予以界定為一測試資料輸入接腳，並且至少一測試資料暫存器予以界定為一組態暫存器；

一組串聯連接之組態位元非依電性元件感測鎖存器(CBL)，該 CBL 儲存非依電性元件之一組資料；

裝置，供在施加第一訊號時，處理該組非依電性元件之資料，自 CBL 至組態暫存器；以及

裝置，供在施加第二訊號時，處理一組測試資料訊號，自測試資料輸入接腳至組態。

2.如申請專利範圍第1項之供在一可程式化邏輯裝置中控制與組態位元之非依電性元件關聯之暫存器之系統，其中

組態暫存器包括一連串串聯連接組態鎖存器及一組態時鐘，並且其中組態暫存器產生一輸出訊號。

3.如申請專利範圍第2項之供在一可程式化邏輯裝置中控制與組態位元之非依電性元件關聯之暫存器之系統，其中該輸出訊號被使用在一輸出邏輯巨集單元內。

4.如申請專利範圍第3項之供在一可程式化邏輯裝置中控制與組態位元之非依電性元件關聯之暫存器之系統，其中該測試資料輸入接腳予以通過一第一電晶體耦合至組態暫存器，並且 CBL 予以通過一第二電晶體耦合至組態暫存器。

5.如申請專利範圍第2項之供在一可程式化邏輯裝置中控制與組態位元之非依電性元件關聯之暫存器之系統，其中將一控制訊號加至組態鎖存器，致使輸出訊號保持在固定狀態。

- 6.如申請專利範圍第1項之供在一可程式化邏輯裝置中控制與組態位元之非依電性元件關聯之暫存器之系統，其中外部裝置接腳之數為五或更少。
- 7.如申請專利範圍第2項之供在一可程式化邏輯裝置中控制與組態位元之非依電性元件關聯之暫存器之系統，其中供處理非依電性元件之該組資料之裝置，包括反復撥動組態時鐘若干循環，循環之數等於組態暫存器之一位元長度。
- 8.一種供在一可程式化邏輯裝置中控制與組態位元之非依電性元件關聯之暫存器之系統，包含：
  - 一邊界掃描測試電路，其包括：複數個外部裝置接腳，外部裝置接腳之一予以界定為測試資料輸入接腳，至少一測試資料暫存器予以界定為一組態暫存器，測試資料輸入接腳予以通過第一電晶體耦合至組態暫存器，組態暫存器包括一連串串聯連接之組態鎖存器及一組態時鐘，並產生一輸出訊號；
  - 一組串聯連接之組態位元非依電性元件感測鎖存器(CBL)，予以通過第二電晶體耦合至組態暫存器，該 CBL 儲存非依電性元件之一組資料；
 裝置，供在施加第一訊號時，處理該組非依電性元件之資料，自 CBL 至組態暫存器；以及
  - 裝置，供在施加第二訊號時，處理一組測試資料訊號，自測試資料輸入接腳至組態。
- 9.如申請專利範圍第8項之供在一可程式化邏輯裝置中控制與組態位元之非依電性元件關聯之暫存器之系統，其中第一訊號係自一OR 閘之界定輸出所獲得，在啟動訊號或回復訊號加至OR 閘之輸入時，OR 閘具有界定之輸出。
- 10.如申請專利範圍第8項之供在一可程

- 式化邏輯裝置中控制與組態位元之非依電性元件關聯之暫存器之系統，其中輸出訊號予以在輸出邏輯巨集單元內使用。
5. 11.如申請專利範圍第8項之供在一可程式化邏輯裝置中控制與組態位元之非依電性元件關聯之暫存器之系統，其中供處理非依電性元件之該組資料之裝置，包括反復撥動組態時鐘若干循環，循環之數等於組態暫存器之一位元長度。
10. 12.如申請專利範圍第8項之供在一可程式化邏輯裝置中控制與組態位元之非依電性元件關聯之暫存器之系統，其中許多外部裝置接腳係由五或更少接腳所組成。
15. 13.一種供在一可程式化邏輯裝置中控制與組態位元之非依電性元件關聯之暫存器之系統，包含：
  - 20. 一邊界掃描測試電路，其包括：
    - 一個或多個測試資料暫存器，至少測試資料暫存器之一予以界定為組態暫存器；組態暫存器產生一輸出訊號，並包括一連串串聯連接之組態鎖存器及一組態時鐘；
  - 25. 若干外部裝置接腳，外部裝置接腳之一予以界定為測試資料輸入接腳，測試資料輸入接腳予以通過第一電晶體耦合至組態暫存器；
  - 30. 一測試存取埠及一測試存取埠控制器；
  - 一指令暫存器；以及
  - 若干時鐘及控制器；
  - 35. 一組串聯連接之組態位元非依電性元件感測鎖存器(CBL)，予以通過一第二電晶體耦合至組態暫存器，CBL 儲存非依電性元件之一組資料；
  - 40. 裝置，供在施加第一訊號至第二電晶體之閘時，處理該組非依電性元件之資料，自 CBL 至組態暫存器，該裝置

包括反復撥動組態時鐘若干循環，循環之數等於組態暫存器之一位元長度；以及

裝置，供在施加第二訊號至第一電晶體之閘時，處理一組測試資料訊號，自測試資料輸入接腳至組態暫存器。

14.如申請專利範圍第13項之供在一可程式化邏輯裝置中控制與組態位元之非依電性元件關聯之暫存器之系統，其中輸出訊號予以在輸出邏輯巨集單元內使用。

15.如申請專利範圍第13項之供在一可程式化邏輯裝置中控制與組態位元之非依電性元件關聯之暫存器之系統，其中外部裝置接腳之數係由五或更少接腳所組成。

16.一種供在一可程式化邏輯裝置中控制與組態位元之非依電性元件關聯之暫存器之系統，包含：  
一邊界掃描測試電路，包括若干外部裝置接腳，外部裝置接腳之一予以界定為測試資料輸入接腳，測試資料輸入接腳予以通過第一電晶體耦合至測試資料暫存器，測試資料暫存器，包括一連串串聯連接之組態鎖存器，該連串組態鎖存器予以並聯連接至一連串組態位元非依電性元件；  
測試資料暫存器，包括一時鐘並產生一輸出訊號；以及裝置，供在超越訊號加至第一電晶體時，處理一組測試資料訊號，自測試資料輸入至測試資

料暫存器。

17.如申請專利範圍第16項之供在一可程式化邏輯裝置中控制與組態位元之非依電性元件關聯之暫存器之系統，其中輸出訊號予以在輸出邏輯巨集單元內使用。

18.如申請專利範圍第16項之供在一可程式化邏輯裝置中控制與組態位元之非依電性元件關聯之暫存器之系統，其中外部裝置接腳之數係由五或更少接腳所組成。

圖式簡單說明：

第一圖示本發明之較佳具體例之方塊圖／示意圖，例示如在標準 JTAG 測試結構所實施之本發明。

第二圖示先前發明之一種替代性具體例之方塊圖／示意圖，也例示 JTAG 測試結構之組態暫存器部份。

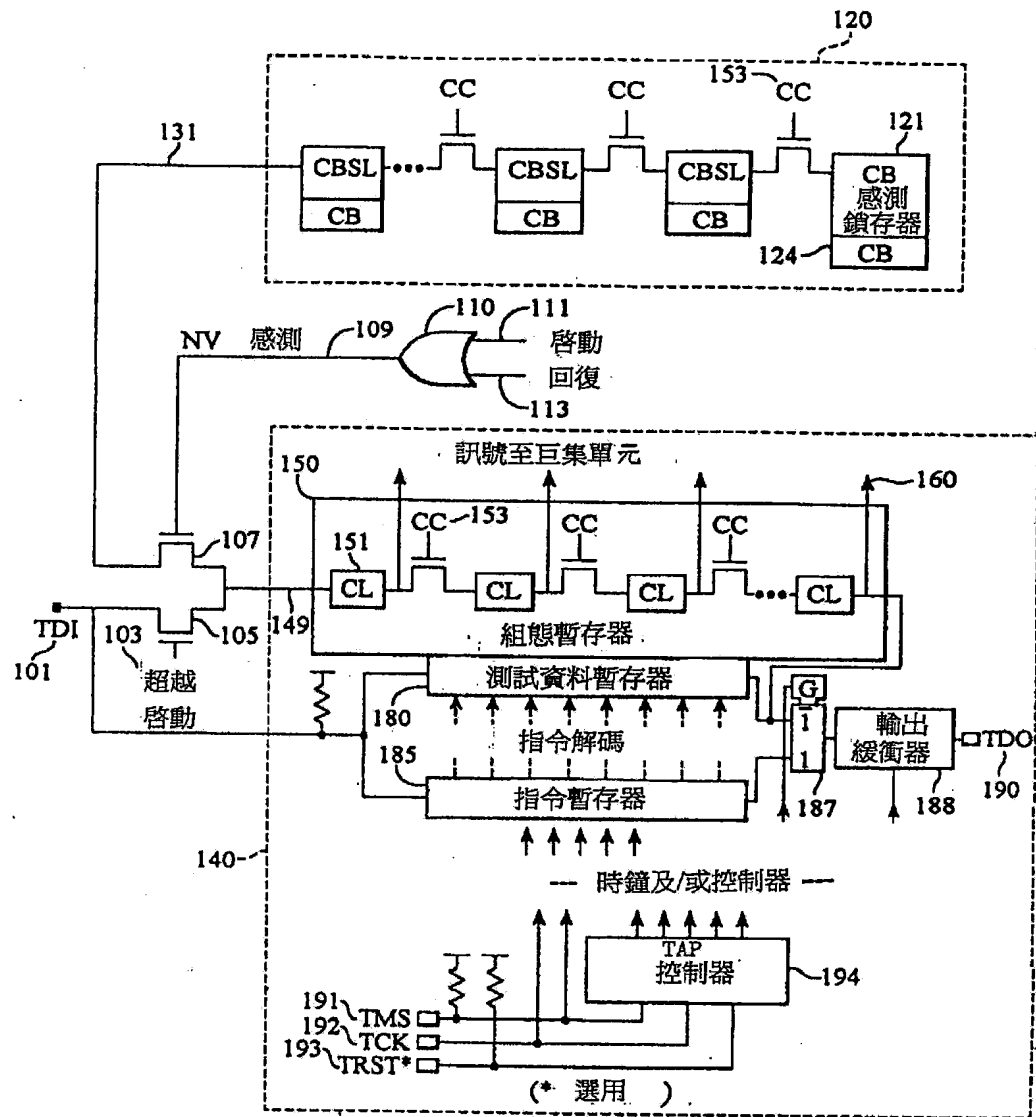
第三圖示在本發明之架構內之邏輯式合併組態位元及組態鎖存器輸出訊號之方塊圖／示意圖。

第四圖示一在先前技藝所習知之代表性輸出邏輯巨集單元之方塊圖／示意圖。

第五圖示一如在先前技藝所習知之組態鎖存器連接至組態位元之方塊圖／示意圖。

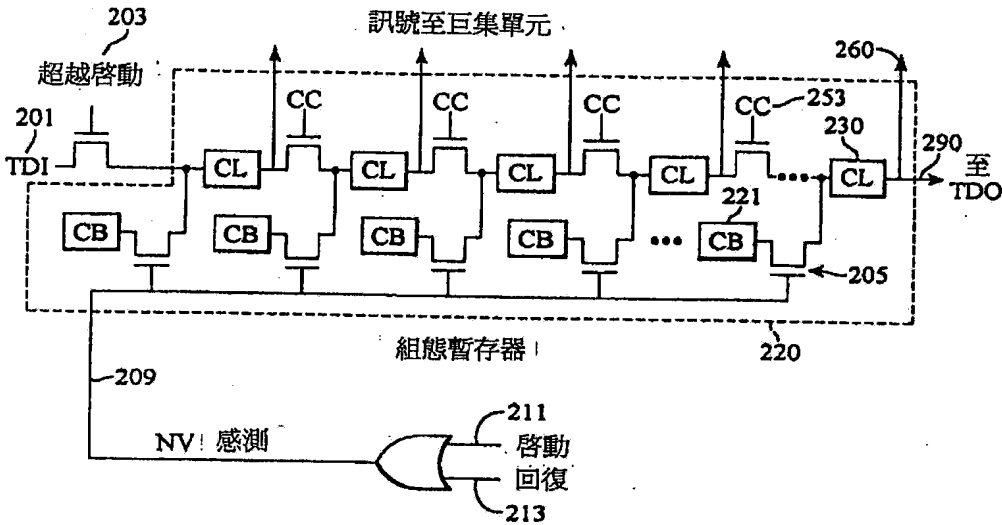
第六圖示一如在先前技藝所習知，如在 IEEE1149.1-1990 界定所建立之 JTAG 測試之方塊圖／示意圖。

(4)

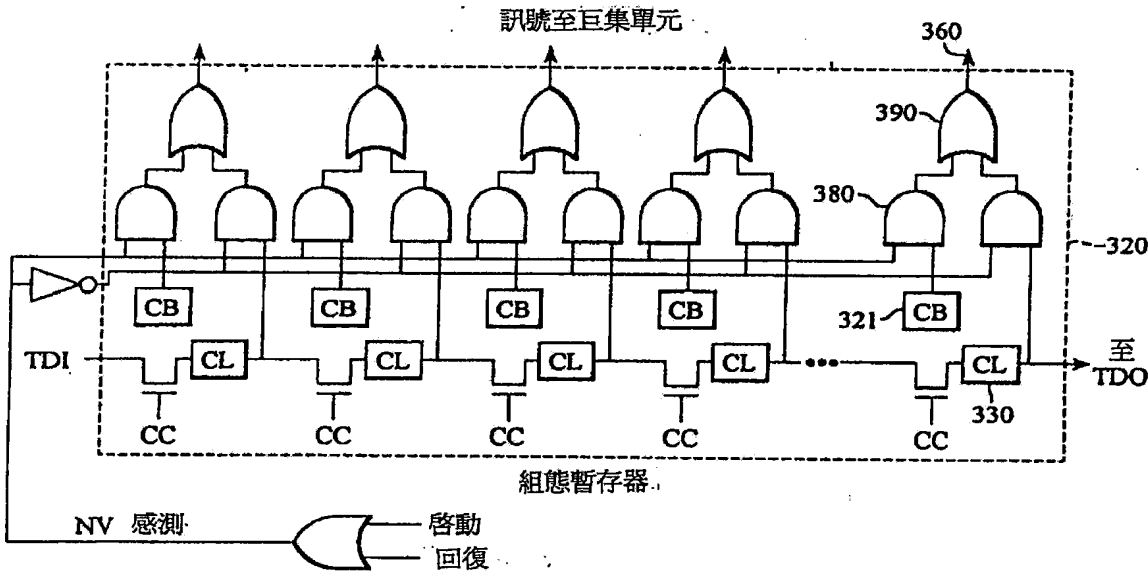


第一圖

(5)

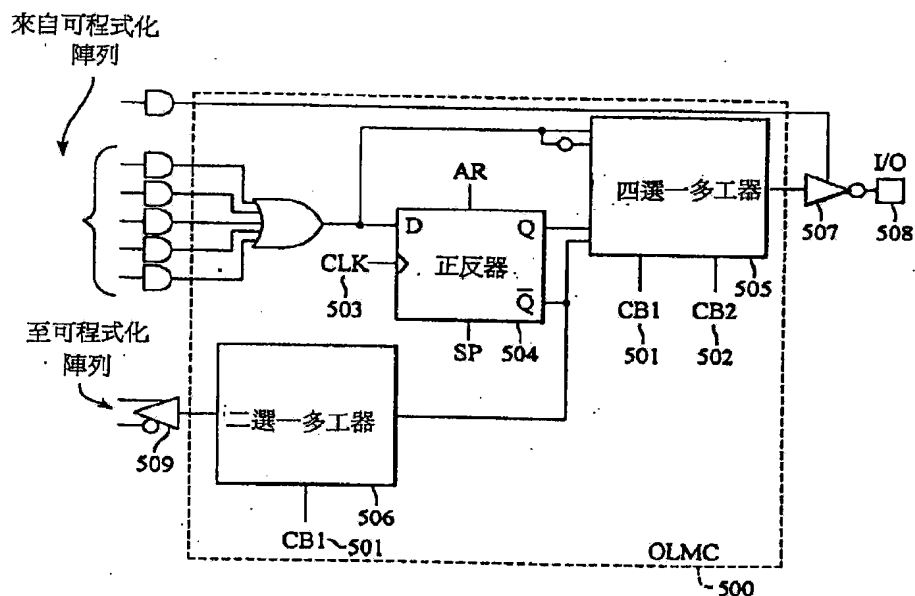


第二圖

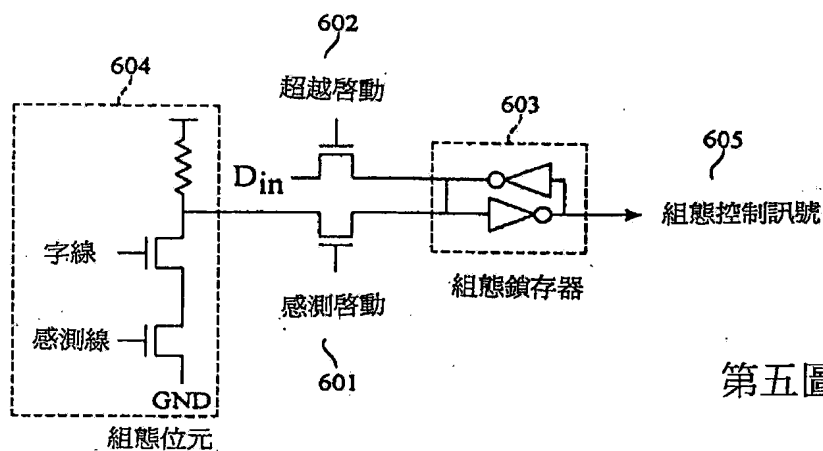


第三圖

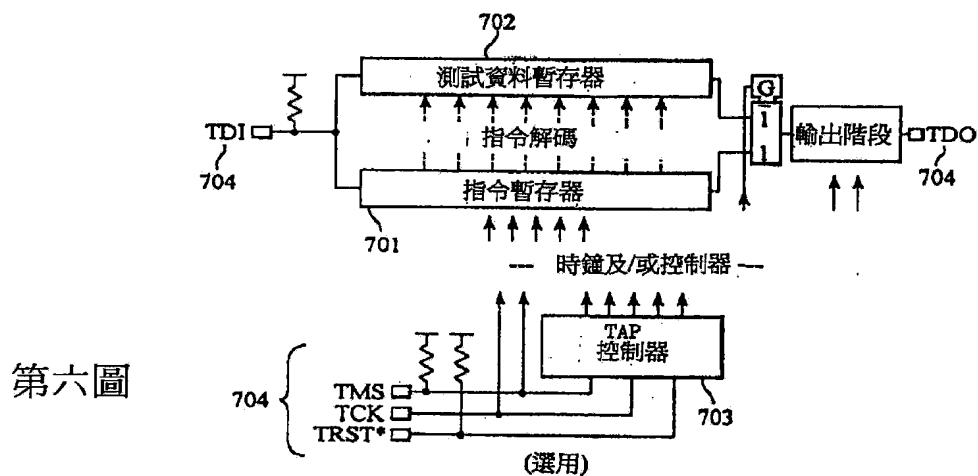
(6)



第四圖



第五圖



第六圖